

Abstract

The present invention relates to an ESD (Electro-Static Discharge) protection circuit, and specifically to an ESD protection circuit configured to improve an ESD protection characteristic.

An ESD protection circuit of this kind according to the present invention is characterized by being configured by including: a substrate of a first conduction type in which an activation region and a field region are defined; a well of a second conduction type formed in a predetermined area in the activation region in the substrate of the first conduction type; a first and a second high-concentration impurity regions of the first conduction type formed with a certain distance therebetween in the well of the second conduction type; a low-concentration impurity region of the first conduction type formed between the first and the second high-concentration impurity regions of the first conduction type; and a high-concentration impurity region of the second conduction type formed with a certain distance between itself and the second high-concentration impurity region of the first conduction type.

BEST AVAILABLE COPY

국내 출시일자 세 1990.4.10 (1990.04.05) 1주

등 1990-043416

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 27/06

(11) 공개번호 특 1990-043416
(43) 공개일자 1990년 04월 05일

(21) 출원번호	특 1990-061263
(22) 출원일자	1990년 12월 03일
(21) 출원인	엘지반도체 주식회사 문정관 충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자	박용 경기도 안양시 만안구 만일5동 387-7 12/2 최선 경기도 고양시 덕양구 관산동 231 통일빌라 8-101 김한규 대구광역시 동구 자작동 대상빌라 105-301
(24) 대리인	강용복, 김용인

(54) 미에스디(ESD) 보호 회로

본 발명은 ESD(Electro Static Discharge) 보호 회로에 관한 것으로 특히, ESD 보호 특성을 향상시키도록 한 ESD 보호 회로에 관한 것이다.
이와 같은 본 발명의 ESD 보호 회로는 칼슘영석과 필드영석으로 정의된 제 1 도전형 기판과, 상기 제 1 도전형 기판의 칼슘영석의 소정영역에 형성된 제 2 도전형 웨파, 상기 제 2 도전형 웨파에 일정한 간격을 갖고 형성되는 제 1 도전형 제 1, 제 2 저항도 불순물, 웨파와, 상기 제 1 도전형 제 1, 제 2 저항도 불순물 사이에 형성되는 제 1 도전형 저농도 불순물, 웨파와, 상기 제 1 도전형 제 2 저항도 불순물, 웨파 및 제 2 저항도 불순물, 웨파를 포함하여 구성됨에 그 특징이 있다.

11-03

12-0

13-03

14-03 15-03 16-03

도 1은 종래의 ESD 보호 회로를 나타낸 구조단면도

도 2는 본 발명의 ESD 보호 회로를 나타낸 구조단면도

도 3a와 도 3b는 종래와 본 발명의 동일한 전입에서 포텐셜의 차이를 나타낸 도면

도면의 주요 부분에 대한 부호의 설명

21 : n형 실리콘 기판 22 : p-웰

23 : 제 1 저항도 n형 불순물 24 : 제 2 저항도 n형 불순물 25

26 : 저농도 n형 불순물 27 : p형 단순화 경계

28-31 : n형 단순화 경계

32-35 : n형 단순화 경계

36-39 : p형 단순화 경계

본 발명은 ESD(Electro Static Discharge) 보호 회로에 관한 것으로 특히, ESD 보호 특성을 향상시키도록 한 ESD 보호 회로에 관한 것이다.

일반적으로 반도체 장치에 있어서, ESD(Electro Static Discharge) 보호 회로는 약 200 ~ 2000V의 정전기 충전으로부터 내부회로가 파괴되는 곳을 막기 위한 보호 회로로서, 상기 ESD 보호 회로의 방법에는 SCR을

BEST AVAILABLE COPY

1996-04-04 16

이용한 방법과 절도 트랜지스터, 다이오드, 바이폴라 트랜지스터 등을 이용한 방법을 사용한다.

그리고 반도체 소자가 고압화될 때마다 ESD와 같은 높은 전압이 인가되는 부분(즉, 절도 트랜지스터, 바이폴라 트랜지스터 등)의 게이트 산화막은 그 두께가 얕아지기 때문에 ESD 보호 회로에 포함된 능동 소자와 이 능동소자에 연결된 내부회로의 능동소자는 내부회로의 다른 능동소자보다 ESD 특성이 더욱 더 나빠지게 된다.

그래서 종래에는 이러한 ESD 특성을 평가하는 방법으로서 HBM(Human Body Model) 방법이나 MM(machine Model) 방법을 이용하였다.

그러나 최근에 생산하고 있는 반도체 소자에 있어서는 같은 칩(Chip)내에서 동일한 두께의 게이트 산화막을 이용하여 내부회로를 형성하고 있다.

그 한 가지 예로 64DRAM인 경우에는 한 전체에 산화막의 두께를 약 100Å 정도로 통일하게 사용하고 있다.

이와 같은 반도체 소자가 고압화될 때마다 패키지(Package) 크기가 증가하고 산화막이 얕아지기 때문에 CDM(Unbiased Device Model)을 이용하여 ESD 특성을 평가하는 기술이 중요하게 대두되고 있다.

상기에서 언급한 두 가지 방법(HBM, MM)에 의해 파괴되는 부분은 주로 접합 가교자리이지만, CDM에 의해 파괴되는 부분은 주로 각 능동소자의 게이트 산화막이 된다.

즉, 살기 CDM 방법에 의해 가해지는 ESD 펄스(Pulse)가 최고 전류까지 도달하는데 걸리는 시간은 약 1ns이고, 이 때 ESD 보호 회로가 동작하는데 걸리는 시간도 1ns이다.

그리므로 ESD 보호 회로가 동작하기도 전에 ESD 펄스가 ESD 보호 회로에 도착된 능동소자의 산화막과 내부회로에 연결된 능동소자의 산화막을 파괴하게 된다.

따라서 반도체 소자가 고압화될 때마다 ESD 보호 회로와 상기 보호 회로에 연결된 능동소자 뿐만 아니라 보호 회로 근방에 있는 내부회로도 ESD에 의해 영향을 받게 된다.

이하, 첨부된 도면을 참조하여 증거의 ESD 보호 회로를 설명하면 다음과 같다.

도 1은 증거의 ESD 보호 회로를 나타낸 구조단면도이다.

도 1에 도시된 비와 같이 활성영역과 필드영역으로 정의된 n형 실리콘 기판(1)의 활성영역의 소정영역에 P-웰(2)이 형성되고, 상기 P-웰(2)내에 일정한 간격을 가지고 제 1, 제 2 고농도 n형 물질을 형성(3, 4)이 형성되며, 상기 제 2 고농도 n형 물질을 형성(4)과 일정한 간격을 두고 상기 P-웰(2)을 형성(5)이 형성된다.

그리고 상기 제 1 고농도 n형 물질을 형성(3)에 견압이 인가되는 핀(Pin)이 연결되고, 상기 제 2 고농도 n형 물질을 형성(4)에는 접지선연결(Vss)이 연결된다. 또한, 상기 고농도 P-웰 물질을 형성(5)에는 전원전압(Vcc)이 연결된다.

여기서 활성영역의 구조는 n+ 영역 - p-웰 - n+ 영역의 구조를 이룬다.

상기와 같은 증거의 ESD 보호 회로에 있어서 다음과 같은 문제점이 있었다.

즉, 전하 방전량이 적기 때문에 ESD를 효과적으로 보호하지 못한다.

본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로 전하 방전량을 높이도록 한 ESD 보호 회로를 제공하는데 그 목적이 있다.

도 2는 본 발명의 ESD 보호 회로의 구조를 나타낸 구조단면도이다.

상기와 같은 목적을 달성하기 위한 본 발명의 ESD 보호 회로는 활성영역과 필드영역으로 정의된 제 1 도전형 기판과, 상기 제 1 도전형 기판의 활성영역의 소정영역에 형성된 제 2 도전형 웰과, 상기 제 2 도전형 웰내에 일정한 간격을 갖고 형성되는 제 1 도전형 제 1, 제 2 고농도 n형 물질을 형성, 상기 제 1 도전형 제 1, 제 2 고농도 n형 물질 사이에 형성되는 제 1 도전형 저농도 n형 물질을 형성, 상기 제 1 도전형 제 2 고농도 n형 물질과 일정한 간격을 갖고 형성되는 제 2 도전형 기판과 접속을 하여 포함하여 구성된다. 그 특징이 있다.

이하, 첨부된 도면을 참조하여 본 발명의 ESD 보호 회로를 상세히 설명하면 다음과 같다.

도 2는 본 발명의 ESD 보호 회로의 구조를 나타낸 구조단면도이다.

도 2에서와 같이 활성영역과 필드영역으로 정의된 n형 실리콘 기판(21)의 활성영역의 소정영역에 P-웰(22)이 형성되고, 상기 P-웰(22)에는 일정한 간격을 갖고 제 1, 제 2 고농도 n형 물질을 형성(23, 24)이 형성된다. 상기 제 2 고농도 n형 물질을 형성(24)과 일정한 간격을 두고 상기 P-웰(22)을 형성(25)이 형성된다.

그리고 상기 제 1, 제 2 고농도 n형 물질을 형성(23, 24) 사이에 저농도 n형 물질을 형성(26)이 형성된다.

한편, 상기 제 1 고농도 n형 물질을 형성(23)에는 외부전압이 인가되는 핀(Pin)이 연결되고, 상기 제 2

BEST AVAILABLE COPY

쪽 1938-043315

제 1 도전형 접속층 양극(13)에는 접지판입(Vss)이 연결되어, 상기 제 1 도전형 접속층 양극(13)에 전원전압(Vdd)이 연결된다.

여기서 상기 제 1, 제 2 고농도 n형 접속층 양극(13, 14) 사이에 저농도 n형 접속층 양극(15)이 형성되면 펀션 접지단(Vss)에서 전하방전량이 증가한다.

여기서 펀션 단면의 구조는 n+ 핵심 - p-웰 - n- 핵심 - p-웰 - n+ 핵심이 된다.

도 3a와 도 3b에서의 절대와 본 발명의 동일한 전압에서 펀션설의 차이를 나타낸 도면이다.

도 3a와 도 3b에서의 절대는 절지단(Vss)에 턴온(Turn On)되기 위한 V_{th}가 V_b보다 크며, 여기서 상기 V_b는 접지단을 단을시키기 위한 증례의 전압이고, 상기 V_b는 접지단을 단을시키기 위한 본 발명의 전압을 나타낸다.

그 결과 동일한 전압에서 본 태양에 따른 ESD 보호 회로의 전하방전량이 증가함을 볼 수 있다.

이상에서 설명한 바와 같이 본 발명의 ESD 보호 회로에 있어서 전하방전량이 증가하므로써 ESD를 효과적으로 보호하는 효과가 있다.

청구항 1

회상란 효과 및 도전형으로 정의된 제 1 도전형 기판:

상기 제 1 도전형 기판의 활성화면의 소정구역에 형성된 제 2 도전형 웨:

상기 제 2 도전형 웨내에 일정한 간격을 갖고 형성되는 제 1 도전형 제 1, 제 2 고농도 접속층 양극:

상기 제 1 도전형 제 1, 제 2 고농도 접속층 양극 사이에 형성되는 제 1 도전형 저농도 접속층 양극:

상기 제 1 도전형 제 2 고농도 접속층 양극과 일정한 간격을 갖고 형성되는 제 2 도전형 제 1, 제 2 고농도 접속층 양극을 포함하여 구성된 특징으로 하는 ESD 보호 회로.

청구항 2

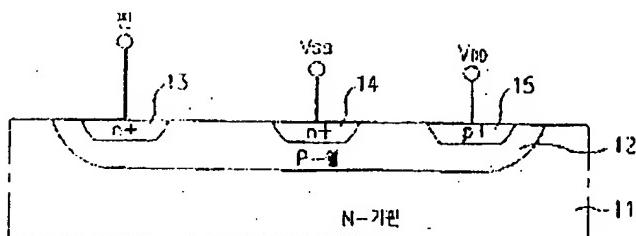
제 1 할에 있어서, 상기 제 1 도전형 제 1 고농도 접속층 양극에 외부에서 인가되는 펀이 연결된 것을 특징으로 하는 ESD 보호 회로.

청구항 3

제 1 할에 있어서, 상기 제 1 도전형 제 2 고농도 접속층 양극에 접지단이 연결된 것을 특징으로 하는 ESD 보호 회로.

청구항 4

제 1 할에 있어서, 상기 제 2 도전형 고농도 접속층 양극에 전원전압이 인가됨을 특징으로 하는 ESD 보호 회로.



BEST AVAILABLE COPY

7.1988-043416

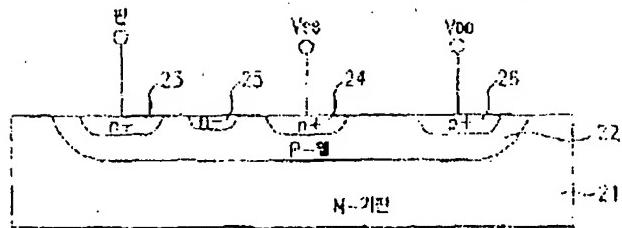


Fig. 1



Fig. 2

